



PATENT
Docket No. 20063/OG03-051

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s): Seung Jong YOO

Serial No.: 10/747,603

Filed: December 29, 2003

For: "Method for Forming
Semiconductor Device Bonding Pads"

Group Art Unit: Unknown

Examiner: Not Yet Assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No. 10-2002-0088279 filed December 31, 2002, the priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:

Mark C. Zimmerman
Registration No.: 44,006

January 23, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0088279
Application Number

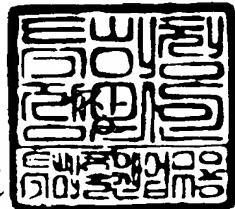
출 원 년 월 일 : 2002년 12월 31일
Date of Application DEC 31, 2002

출 원 인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.

2003 년 11 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【요약서】**【요약】**

본 발명은 반도체소자의 패드 형성방법을 개시한다. 개시된 발명은, 반도체 기판상에 제1절연막을 형성한후 상기 제1절연막의 소정영역내에 트렌치를 형성하는 단계; 상기 트렌치내에 최상층 금속배선을 형성하는 단계; 최상층 금속배선을 포함 한 제1절연막상에 제2절연막을 형성한후 이를 선택적으로 제거하여 상기 최상층 금속배선 일부의 상면을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀을 포함한 제2절연막상에 패드용 금속층을 형성한후 이를 선택적으로 제거하여 금속패드를 형성하는 단계; 및 상기 금속패드를 포함한 제2절연막상에 제3절연막을 형성한후 제3절연막을 선택적으로 제거하여 상기 제2절연막상에만 있는 금속패드부분을 노출시키는 단계를 포함하여 구성되며, 구리 금속배선을 사용하는 소자에서 패드 형성시 오픈되는 금속배선의 위치를 최상층 구리금속배선이 아닌 층간절연막 상부에 형성하므로써 후속 와이어 본딩(wire bonding) 내지는 PCT 또는 TC 와 같은 신뢰성 테스트시에 불량을 방지할 수 있는 것이다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

반도체소자의 패드 형성방법(Method for forming pad of semiconductor device)

【도면의 간단한 설명】

도 1은 종래기술에 따른 반도체소자의 패드 형성방법을 설명하기 위한 소자단면도.

도 2 내지 도 6은 본 발명에 따른 반도체소자의 패드 형성방법을 설명하기 위한 공정단면도.

[도면부호의설명]

30 : 반도체기판 32 : 제1절연막

34 : 최상층 금속배선 36 : 제2절연막

38 : 콘택홀 40 : 패드용 금속막

40a : 금속패드 42 : 제3절연막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체소자의 패드 형성방법에 관한 것으로서, 보다 상세하게는 구리 금속배선을 사용하는 소자에서 패드형성시 오픈되는 금속배선의 위치를 최상층 구리금속배선이 아닌 층간절연막 상부에 형성하므로써 후속 와이어 본딩(wire bonding) 내지는 PCT 또는 TC 와 같은 신뢰성 테스트시에 불량을 방지할 수 있는 반도체소자의 패드 형성방법에 관한 것이다.

<9> 종래기술에 따른 반도체소자의 패드 형성방법에 대해 도 1를 참조하여 설명하면 다음과 같다.

<10> 도 1은 종래기술에 따른 반도체소자의 패드 형성방법을 설명하기 위한 소자단면도이다.

<11> 종래기술에 따른 반도체소자의 패드 형성방법은, 도 1에 도시된 바와같이, 소자의 공정으로 반도체소자를 형성하기 위한 여러 요소가 형성된 반도체기판(10) 상에 제1절연막(12)을 형성한 후 식각공정으로 상기 제1절연막(1)의 소정영역을 식각 하고 이어 금속물질을 상기 식각된 소정영역에 매립하여 최상층 금속배선(14)을 형성한다.

<12> 그다음, 상기 최상층금속배선(14)을 포함한 전체 구조의 상면에 제2절연막 (16)을 형성한후 패드용 마스크(미도시)을 이용하여 포토 및 식각공정을 거쳐 패드 지역의 최상층금속배선(14) 부분을 개구시킨다.

<13> 이어서, 상기 개구된 최상층금속배선(14)상면을 포함한 제2절연막(16)상에 금속막을 형성한후 패드 금속용 마스크(미도시)을 이용하여 포토 및 식각공정을 거쳐 금속패드(18)을 형성한다.

<14> 그다음, 상기 금속패드(18)을 포함한 전체 구조의 상면에 패시베이션막(20)을 형성한후 이전에 사용했던 패드용 마스크(미도시)를 사용하여 상기 금속패드(18) 상면을 개구시킨다. 이때, 후속 와이어 본딩시에 직접 접촉하는 금속패드(18)는 하부층에 최상층 금속배선 즉, 구리배선 이 형성되어 있다.

【발명이 이루고자 하는 기술적 과제】

<15> 상기 종래기술에 의하면, 와이어 본딩시에 또는 PCT나 TC와 같은 신뢰성 테스트시에 금속패드 바로 아래 구리배선이 형성되어 있어 신뢰성에 심각한 영향을 미치게 된다.

<16> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 구리금속배선을 사용하는 소자에서 패드형성시 오픈되는 금속배선의 위치를 최상층 구리금속배선 이 아닌 층간절연막 상부에 형성하므로써 후속 와이어 본딩(wire bonding) 내지는 PCT 또는 TC

와 같은 신뢰성 테스트시에 불량을 방지 하므로써 반도체소자의 신뢰성을 향상시킬 수 있는 반도체소자의 패드 형성 방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

- <17> 상기 목적을 달성하기 위한 본 발명에 따른 반도체소자의 패드 형성방법은, 반도체기판상에 제1절연막을 형성한후 상기 제1절연막의 소정영역내에 트렌치를 형성하는 단계;
- <18> 상기 트렌치내에 최상층 금속배선을 형성하는 단계;
- <19> 최상층 금속배선을 포함한 제1절연막상에 제2절연막을 형성한후 이를 선택적으로 제거하여 상기 최상층 금속배선 일부의 상면을 노출시키는 콘택홀을 형성하는 단계;
- <20> 상기 콘택홀을 포함한 제2절연막상에 패드용 금속층을 형성한후 이를 선택적으로 제거하여 금속패드를 형성하는 단계; 및
- <21> 상기 금속패드를 포함한 제2절연막상에 제3절연막을 형성한후 제3절연막을 선택적으로 제거하여 상기 제2절연막상에만 있는 금속패드부분을 노출시키는 단계를 포함하여 구성되는 것을 특징으로한다.
- <22> (실시예)
- <23> 이하, 본 발명에 따른 반도체소자의 패드 형성방법을 첨부된 도면을 참조하여 상세히 설명한다.
- <24> 도 2 내지 도 6은 본 발명에 따른 반도체소자의 패드 형성방법을 설명하기 위한 공정단면도이다.
- <25> 본 발명에 따른 반도체소자의 패드 형성방법은, 도 2에 도시된 바와같이, 먼저 소자의 공정으로 반도체소자를 형성하기 위한 여러 요소가 형성된 반도체기판(30) 상에 제1절연막(32)

을 형성한후 식각공정으로 상기 제1절연막(32)의 소정영역을 식각하여 트렌치(미도시)를 형성 한다. 이때, 상기 제1절연막은 SiO₂, FSG 또는 유전율이 3.0 이하인 저유전율의 절연막을 이용 한다.

<26> 이어, 금속물질을 상기 식각된 소정영역 즉, 트렌치내에 매립하여 최상층 금속배선(34) 을 형성한다. 이때, 상기 최상층 금속배선은 구리를 사용하며, 무전해 또는 전기도금법으로 둑 얼 다마신 패턴을 매립하여 형성한다.

<27> 그다음, 상기 최상층 금속배선(34)을 포함한 전체 구조의 상면에 제2절연막 (36)을 형성 한후 패드용 마스크(미도시)을 이용하여 포토 및 식각공정을 거쳐 패드 지역의 최상층 금속배 선(34) 부분을 개구시키는 콘택홀(38)을 형성한다. 이때, 상기 제2절연막은 SiO₂, TEOS, SiN과 같은 절연막을 사용한다. 또한, 상기 최상층 금속배선(34)이 와이어 본딩과 같은 후속 공정에 의해 외부 파워가 소자로 입력되는 패드부위이다. 또한, 제1 패드용 마스크의 패드개구영역은 외부파워의 전달에 영향을 미치지 않는 범위내에서 최소한으로 개구시키는 것을 원칙으로 한다

<28> 이어서, 도 3에 도시된 바와같이, 상기 콘택홀(38)을 포함한 제2절연막(36) 상에 패드용 금속 막(40)을 형성한다. 이때, 상기 패드용 금속막(40)의 두께는 파워 전달에 영향을 미치지 않는 범위내에서 최소한으로 한다. 또한, 위에서 언급한 바와같이, 패드용 금속막의 용도는 부식 및 신뢰성에 문제가 있는 구리 패드를 대신하는 역할로 패드용 금속배선으로 알루미늄, 텡스텐 등 을 사용한다.

<29> 그다음, 도 4에 도시된 바와같이, 패드 금속용 마스크(미도시)을 이용한 포토 및 식각공정을 거쳐 상기 패드용 금속막(40)을 선택적으로 제거하여 금속패드(40a) 을 형성한다. 이때, 상기 패드용 금속배선 패턴의 크기는 주변 패턴을 고려하여 가능한 크게 하여 후속공정에서의 와이

어 본딩영역을 확보할 수 있도록 한다. 또한, 기존의 패드용 금속배선이 주로 최상층 금속배선의 상부에 형성되었던 반면에 본 기술의 패드용 금속배선은 절연막상부에 주로 형성되어 있어 후속 와이어 본딩 및 신뢰성 테스트시에 패드용 금속배선에 큰 충격이 가해지더라도 최상층 금속배선에는 직접적인 영향을 미치지 않게 되어 소자의 신뢰성을 크게 향상시키게 된다.

<30> 이어서, 도 5에 도시된 바와같이, 상기 금속패드(40a)를 포함한 제2절연막(36) 상에 제3절연막(42)을 두껍게 형성한다. 이때, 상기 제3절연막(42)은 공지의 기술에 따른 패시베이션막으로 사용되어 단층 구조 및 복층 구조로 되어 있다. 또한, 상기 단층구조시에 실리콘 나이트라이드 질화막으로, 복층 구조시에 산화막과 나이트라 이드로 되어 있다.

<31> 그다음, 도 6에 도시된 바와같이, 제2패드용 마스크(미도시)를 이용하여 포토 및 식각공정을 거쳐 상기 금속패드(40a)상면을 노출시킨다.

【발명의 효과】

<32> 상기에서 설명한 바와같이, 본 발명에 따른 반도체소자의 패드 형성방법에 의하면, 구리금속배선을 사용하는 소자에서 패드형성시 오픈되는 금속배선의 위치를 최상층 구리금속배선이 아닌 중간절연막 상부에 형성하므로써 후속 와이어 본딩(wire bonding) 내지는 PCT 또는 TC 와 같은 신뢰성 테스트시에 불량을 방지 하므로써 반도체소자의 신뢰성을 향상시킬 수 있다.

<33> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

【특허청구범위】**【청구항 1】**

반도체기판상에 제1절연막을 형성한후 상기 제1절연막의 소정영역내에 트렌치를 형성하는 단계;

상기 트렌치내에 최상층 금속배선을 형성하는 단계;

최상층 금속배선을 포함한 제1절연막상에 제2절연막을 형성한후 이를 선택적으로 제거하여 상기 최상층 금속배선 일부의 상면을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀을 포함한 제2절연막상에 패드용 금속층을 형성한후 이를 선택적으로 제거하여 금속패드를 형성하는 단계; 및

상기 금속패드를 포함한 제2절연막상에 제3절연막을 형성한후 제3절연막을 선택적으로 제거하여 상기 제2절연막상에만 있는 금속패드부분을 노출시키는 단계를 포함하여 구성되는 것을 특징으로하는 반도체소자의 패드 형성방법.

【청구항 2】

제1항에 있어서, 상기 최상층 금속배선은 구리를 사용하며, 무전해 또는 전기도금법으로 듀얼 다마신 패턴을 매립하여 형성하는 것을 특징으로하는 반도체소자의 패드 형성방법.

【청구항 3】

제1항에 있어서, 상기 제1절연막은 SiO₂, FSG 또는 유전율이 3.0 이하인 저유전율의 절연막을 이용하는 것을 특징으로하는 반도체소자의 패드 형성방법.

【청구항 4】

제1항에 있어서, 상기 제2절연막은 SiO_2 , TEOS, SiN과 같은 절연막을 사용하는 것을 특징으로하는 반도체소자의 패드 형성방법.

【청구항 5】

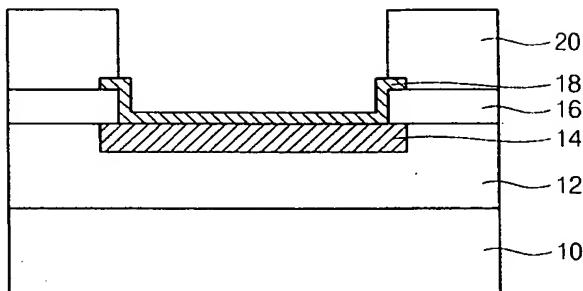
제1항에 있어서, 상기 제3절연막은 패시베이션으로 사용하며, 단층구조 또는 복층구조로 되어 있는 것을 특징으로하는 반도체소자의 패드 형성방법.

【청구항 6】

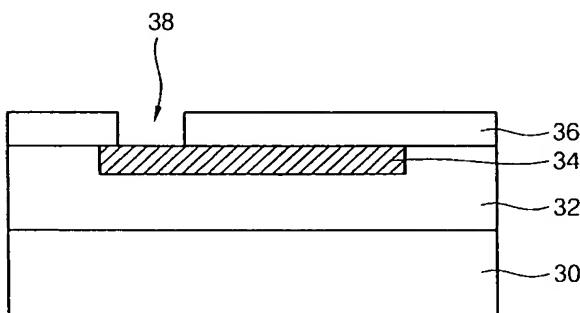
제5항에 있어서, 상기 단층구조시에 실리콘 나이트라이드 질화막으로, 복층 구조시에 산화막과 나이트라이드로 되어 있는 것을 특징으로하는 반도체소자의 패드 형성방법.

【도면】

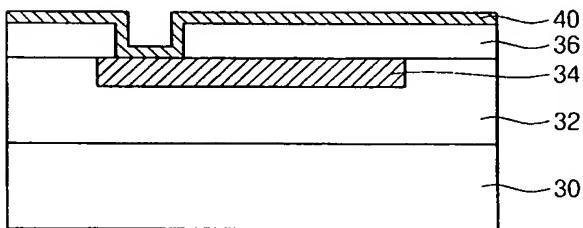
【도 1】



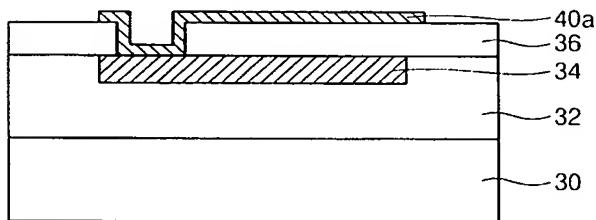
【도 2】



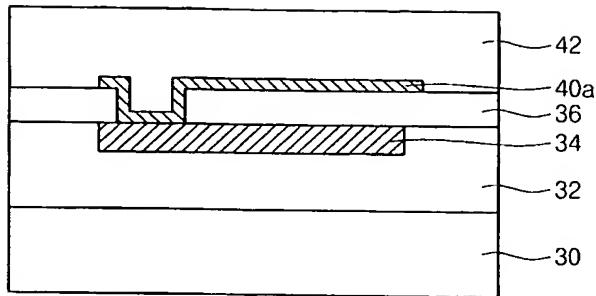
【도 3】



【도 4】



【도 5】



【도 6】

